

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
1. November 2001 (01.11.2001)

PCT

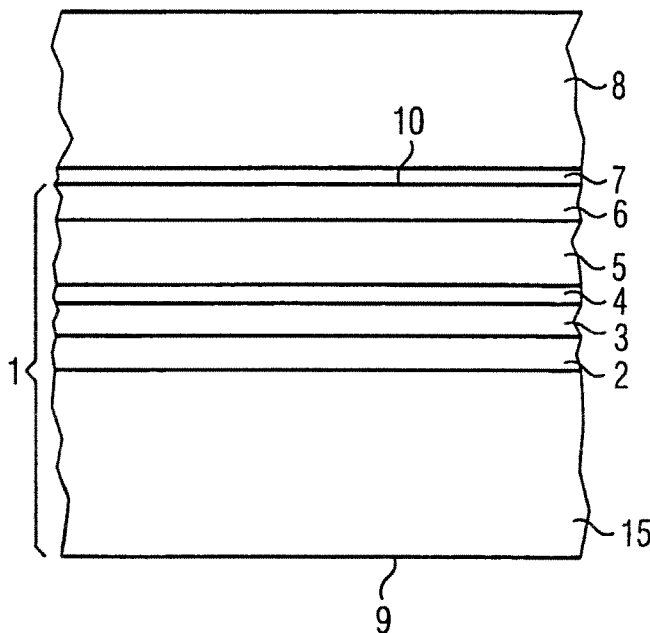
(10) Internationale Veröffentlichungsnummer
WO 01/82369 A1

- (51) Internationale Patentklassifikation⁷: **H01L 21/822**,
21/306
- (21) Internationales Aktenzeichen: PCT/EP01/03846
- (22) Internationales Anmeldedatum:
4. April 2001 (04.04.2001)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
00108571.1 19. April 2000 (19.04.2000) EP
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).
- (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **HÜBNER, Hol-
ger** [DE/DE]; Hamsterweg 10, 85598 Baldham (DE).
SCHÄFER, Herbert [DE/DE]; Altlaufstrasse 15, 85635
Höhenkirchen-Siegertsbrunn (DE).
- (74) Anwalt: **EPPING HERMANN & FISCHER**; Postfach
12 10 26, 80034 München (DE).
- (81) Bestimmungsstaaten (national): BR, CA, CN, IL, IN, JP,
KR, MX, RU, UA, US.
- Veröffentlicht:
— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THINNING A SUBSTRATE

(54) Bezeichnung: VERFAHREN ZUM DÜNNEN EINES SUBSTRATS



(57) Abstract: The invention relates to a method for rapidly thinning a semiconductor substrate with a high degree of precision. Said method can be carried out independently of both the tolerance of an assembly support (8) and of an adhesive joint (7) that is used to fix the substrate to the assembly support (8). To this end, a first layer (2), doped with a p-dopant is formed in the substrate (1). Then the substrate (1) is first pared down by grinding its rear surface (9) and subsequently thinned by a wet-chemical etching process. The first doped layer (2) acts as an etch stop.

(57) Zusammenfassung: Die vorliegende Erfindung betrifft ein Verfahren zum hochgenauen und schnellen Dünnen von einem Halbleitersubstrat, das unabhängig von der Toleranz eines Montageträgers (8) und einer Klebefuge (7), mit der das Substrat an dem Montageträger (8) befestigt wird, ausgeführt werden kann. Dazu wird in dem Substrat (1) eine erste dotierte Schicht (2) mit p-Dotierstoff gebildet.

Anschließend wird das Substrat (1) zunächst von seiner Rückseite (9) abgeschliffen und nasschemisch weiter zurückgeätzt. Dabei dient die erste dotierte Schicht (2) als Ätzstopp.



WO 01/82369 A1

WO 01/82369 A1



Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Verfahren zum Dünnen eines Substrats

- 5 Die vorliegende Erfindung betrifft ein Verfahren zur Dünnung eines Halbleitersubstrats.

Bei der dreidimensionalen Integration von integrierten Schaltungen wird ein gedünntes Halbleitersubstrat auf einem zweiten Halbleitersubstrat angeordnet und mit diesem mechanisch und elektrisch verbunden. Dieses Verfahren wird beispielsweise in "Semiconductor Wafer Bonding: Science and Technology, Q.Y. Tong, Wiley-Interscience Publication" auf den Seiten 1 bis 13, beschrieben. Bei diesem Verfahren ist der Dünnungsprozeß des Halbleitersubstrats einer der technologisch anspruchsvollsten und teuersten Prozeßschritte.

Für die dreidimensionale Integration werden üblicherweise zunächst zwei fertig prozessierte Wafer bereitgestellt. Der erste Wafer dient dabei als Träger, der zweite Wafer wird mit dem folgenden Verfahren gedünnt und auf dem ersten Wafer angeordnet. Zur Dünnung wird zunächst der zweite Wafer auf seiner Vorderseite, bei der es sich um die Seite mit den elektrischen Schaltkreisen handelt, mit einer Klebeschicht versehen und mit einem Montageträger verbunden. Der zweite Wafer wird dann von seiner Rückseite her gedünnt, wobei üblicherweise bis zu drei Verfahren sequentiell zur Anwendung kommen. Als erstes wird meist ein Schleifverfahren verwendet, an das sich ein chemisches Ätzverfahren und ein chemisch-mechanisches Polieren (CMP) anschließt. Ziel dieses Verfahrens ist eine Restdicke des Halbleitersubstrats im Bereich von 10 μm zu erhalten, wobei unter Berücksichtigung der folgenden Prozeßschritte besonders auf die Planarität und die exakte Einhaltung der Zieldicke Wert gelegt werden muß.

35

Die drei genannten Dünnungsverfahren beinhalten aufgrund ihrer unterschiedlichen Arbeitsweisen jeweils unterschiedliche

Nachteile, so daß das beste Ergebnis durch eine Kombination der bekannten Verfahren erreicht wird. Das Schleifen ist das schnellste Verfahren und wird deshalb als erster Schritt eingesetzt, um den größten Teil der Halbleiterschicht abzutragen. Allerdings erfährt die Substratoberfläche Schädigungen durch das Schleifen, die in einem anschließenden chemischen Ätzschrift abgetragen werden. Der chemische Ätzschrift hat allerdings den Nachteil, daß die geätzte Oberfläche nicht planar ist, sondern eine Welligkeit im Bereich von $\pm 3\%$ der durch den Ätzschrift abgetragenen Schichtdicke aufweist. Aus diesem Grund wird in einem dritten Schritt ein chemisch-mechanisches Polieren CMP durchgeführt, wodurch die Welligkeit der Oberfläche auspoliert wird. Der CMP-Schrift ist langsam und teuer und wird deshalb nur zur Nachbehandlung der Oberfläche eingesetzt.

Als Verfahren mit dem größten Abtrag wird das mechanische Schleifen eingesetzt. Der Schleifabtrag stellt sich durch die Justierung der Anlage planparallel zu dem Montageträger ein, an dem der zweite Substratwafer befestigt ist. Hierbei ist zu berücksichtigen, daß ein nicht planparallel zum Montageträger befestigter Wafer schräg abgeschliffen wird. Da der Substratwafer beispielsweise mit Klebstoff an dem Montageträger befestigt wird, befindet sich zwischen dem Substrat und dem Montageträger eine Klebefuge. Weist die Klebefuge eine unterschiedliche Schichtdicke auf, wie sie z.B. bei einer Keilform ausgebildet ist, so ist das Substrat nicht planparallel zu dem Montageträger ausgerichtet. Beim anschließenden Schleifprozeß wird der Substratwafer daher nicht planparallel zu seiner Oberfläche abgeschliffen, auf der die elektrischen Schaltkreise angeordnet sind. Dieses Problem kann beispielsweise dadurch gelöst werden, daß die Klebefuge sehr dünn ausgebildet wird. Dies hat jedoch den Nachteil, daß keine gefüllten Kleber verwendet werden können, die beim späteren Ablösen des Substrats von dem Montageträger vorteilhaft wären, da z.B. Lösungsmittel den Kleber aus dicken Klebefugen leichter herauslösen kann. Ebenfalls geht die Justiergenauigkeit

des Montageträgers gegenüber der Schleifplatte in die Genauigkeit des Schleifprozesses ein.

5 Andererseits kann auf den Schleifprozeß nicht verzichtet werden, da Ätzprozesse zu ungenau und CMP zu langsam ist.

Es ist beispielsweise ein Verfahren bekannt, bei dem eine vergrabene Oxidschicht als Ätzstopp verwendet wird. Wafer, die eine solche vergrabene Oxidschicht aufweisen, sind als
10 sogenannte SOI-Wafer (silicon on insulator) bekannt. Diese Wafer sind wesentlich teurer als Standardwafer und erfordern eine veränderte Prozeßführung bei der Herstellung von Schaltkreisen in dem Siliziumsubstrat gegenüber herkömmlichen Siliziumwafern. Dies macht eine Anpassung der Prozeßtechnologie
15 erforderlich. Besonders nachteilig bei SOI-Wafern ist, daß sie große innere mechanische Spannungen aufweisen. Werden SOI-Wafer auf wenige 10 μm und darunter gedünnt, so führt dies zum Abschälen der Siliziumschicht von dem Montageträger und zum Aufrollen der Siliziumschicht.

20

Es ist die Aufgabe der Erfindung ein Verfahren anzugeben, mit dem ein Halbleitersubstrat hochgenau und schnell gedünnt werden kann.

25 Erfindungsgemäß wird die Aufgabe gelöst durch ein Verfahren zum Dünnen eines Substrats mit den Schritten:

- Bereitstellen eines Substrats mit einer Vorderseite und einer Rückseite;
- Bilden einer Nuttschicht auf der Vorderseite des Substrats;
- 30 - epitaktisches Aufwachsen einer ersten dotierten Schicht auf der Vorderseite des Substrats;
- naßchemisches Ätzen des Substrates, wobei das Substrat von der Rückseite gedünnt wird und die erste dotierte Schicht als Ätzstopp verwendet wird.

35

Durch die erfindungsgemäße Verwendung einer dotierten Schicht in dem Substrat als Ätzstopp wird in vorteilhafter Weise ein

selbstjustierter Prozeßschritt zum Dünnen des Substrats verwendet. Die Ätzung der Waferrückseite stoppt in diesem Fall selbstjustiert an der dotierten Schicht, so daß selbst bei schrägem Anschleifen der Waferrückseite eine planparallele

5 Ausrichtung von der Vorderseite mit den Schaltkreisen zu der Rückseite des gedünnten Wafers erreicht wird. Es ist z.B. aus "Q.Y. Tong, Semiconductor Wafer Bonding: Science and Technology," Seite 146 bis 153, bekannt, daß p-dotiertes Silizium für Naßätzlösungen wie z.B. KOH-Lösung (Kaliumhydroxid) oder

10 EDT-Lösung (Ethylendiamin-Pyrokatechol-Wasser) als Ätzstopp wirken, da die p-Dotierung die für die Ätzung wesentlichen freien Elektroden wegfängt. Dieses Phänomen ist Grundlage der Mikromechanik und wird dort seit langem ausführlich untersucht und angewandt. Die vorliegende Erfindung basiert folglich

15 darauf, daß eine hoch-p-dotierte Ätzstoppschicht unter der Nuttschicht, die zur Herstellung der integrierten Schaltung dient, vergraben wird. Als Substrat sind neben Silizium auch alle weitere bekannten Halbleitersubstrate wie Gallium-Arsenid, Gallium-Alluminium-Arsenid, Indium-Phosphid, Aluminium-Antimonid, Gallium-Nitrid, Gallium-Phosphit etc. geeignet.

20 net.

Die erste dotierte Schicht wird dabei epitaktisch auf die Vorderseite des Substrats aufgewachsen. Das Aufwachsen einer

25 epitaktischen Dotierschicht hat den Vorteil, daß eine sehr gute Einkristallinität mit geringer Defektdichte des Substrats gewährleistet wird.

Darüber hinaus ist vorgesehen, daß eine weitere Schicht epitaktisch auf die erste dotierte Schicht aufgewachsen wird.

30 Die weitere Schicht ist dazu vorgesehen, daß in ihr elektrische Schaltkreise z.B. in CMOS-Technologie (complementary metal oxide semiconductor) gebildet werden.

35 Es ist weiterhin vorgesehen, daß die erste dotierte Schicht durch Implantation von Dotierstoff in dem Substrat gebildet wird. Die Implantation von Dotierstoff ermöglicht die Bildung

einer vergrabenen dotierten Schicht auch ohne epitaktisches Aufwachsen.

Ein weiterer Verfahrensschritt sieht vor, daß eine zweite dotierte Schicht zwischen der Vorderseite des Substrats und der ersten dotierten Schicht gebildet wird, wobei die zweite dotierte Schicht mit einem zweiten Dotierstofftyp dotiert wird, der dem ersten Dotierstofftyp der ersten dotierten Schicht entgegengesetzt ist. Da die erste dotierte Schicht bei einem thermisch angetriebenen Diffusionsschritt ausdiffundiert und somit Dotierstoff aus der dotierten Schicht in die darüberliegende weitere Schicht diffundiert, werden die Eigenschaften der Schicht verändert. Dies wird durch die zweite dotierte Schicht kompensiert, die eine Gegendotierung aufweist. Dazu wird die zweite dotierte Schicht mit einer Dotierstoffkonzentration gebildet, die geringer als die Dotierstoffkonzentration der ersten Dotierschicht ist und zwischen der Vorderseite des Substrats und der ersten dotierten Schicht angeordnet ist. Durch diese Anordnung wird die Dotierung der ausdiffundierten ersten dotierten Schicht durch die Dotierung der zweiten Dotierschicht kompensiert.

Ein weiterer Verfahrensschritt sieht vor, daß die zweite dotierte Schicht als eine Gegendotierung für die erste dotierte Schicht gebildet wird. Durch die Gegendotierung erscheint die dotierte Schicht in dem Bereich der Gegendotierung als neutral dotiert.

Darüber hinaus sieht ein Verfahrensschritt vor, daß eine Maske auf der Vorderseite des Substrats gebildet wird und als Implantationsmaske für die Bildung der dotierten Schicht verwendet wird, so daß die dotierte Schicht strukturiert ausgebildet wird. Die strukturiert ausgebildete dotierte Schicht hat den Vorteil, daß sie nur in den dotierten Bereichen als Ätzstopmmaske wirkt, so daß mit dem Rückseitenätzprozeß eine Strukturierung durchgeführt werden kann, die die dotierten

Bereiche stehen läßt und die nicht-dotierten Bereiche weg-
ätzt.

Weiterhin ist vorgesehen, daß die Rückseite des Substrats ge-
5 ätzt wird, wobei die strukturierte dotierte Schicht als Ätz-
maske verwendet wird und dadurch auf dem Substrat angeordnete
Chips voneinander separiert werden. Durch diesen Verfahrens-
schritt kann z.B. ein nachfolgender Sägeprozeß eingespart
werden, bei dem die einzelnen Chips durch Sägen aus dem Wa-
10 ferverbund herausgelöst werden.

Weiterhin ist vorgesehen, daß die Rückseite des Substrats ge-
ätzt wird, wobei die strukturierte dotierte Schicht als Ätz-
maske verwendet wird und dadurch der Rand des Substrats ent-
15 fernt wird. Da der gedünnte Wafer üblicherweise auf einem
Trägerwafer angeordnet und mit diesem elektrisch verbunden
wird, stellt der Rand des gedünnten und auf den Trägerwafer
gebondeten Wafer eine exponierte, empfindliche Stelle dar.
Durch Entfernen dieses Randes wird der gedünnte, auf dem Trä-
20 gerwafer befestigte Wafer vor mechanischer Beanspruchung und
Zerstörung geschützt.

In einem weiteren vorteilhaften Verfahrensschritt wird die
dotierte Schicht mit Bor p-dotiert. Das Einbringen einer Bor-
25 dotierung ermöglicht die Verwendung von KOH bzw. EDT als Ätz-
substanzen.

Eine weitere vorteilhafte Ausgestaltung des erfindungsgemäßen
Verfahrens sieht vor, daß die dotierte Schicht mit Germanium
30 dotiert wird. Germanium kann ebenfalls als Ätzstopp verwendet
werden, da es in dem Substrat Verspannungen induziert. Wei-
terhin kann Germanium dazu verwendet werden, Verspannungen,
die aufgrund der Bordotierung auftreten auszugleichen. Da Bor
einen kleineren Atomradius als Silizium und Germanium einen
35 größeren Atomradius als Silizium aufweist, führt dies zu ei-
ner Kompensation der Verspannungen.

Ein weiterer vorteilhafter Verfahrensschritt sieht vor, daß die dotierte Schicht mit Stickstoff dotiert wird. Stickstoff kann ebenfalls als Ätzstopp verwendet werden, da sich Stickstoff mit Silizium zu Siliziumnitrid verbindet und für geeignete Ätzsubstanzen nicht ätzbar ist.

Eine weitere Verfahrensvariante sieht vor, daß die dotierte Schicht mit Kohlenstoff dotiert wird. Kohlenstoff verbindet sich mit Silizium zu Siliziumkarbid und wirkt ebenfalls für geeignete Ätzmittel als Ätzstopp.

In einem weiteren Verfahrensschritt ist vorgesehen, daß auf der Vorderseite des Substrats eine Schaltung gebildet wird. Die Schaltung wird üblicherweise in CMOS-Technologie gefertigt, die kompatibel zu der hier angegebenen Substratdünnung ist.

Ein weiterer vorteilhafter Verfahrensschritt sieht vor, daß das Substrat mit seiner Oberfläche an einem Träger befestigt wird. Die Befestigung des Substrats mit seiner Oberfläche an einem Träger ermöglicht, daß das Substrat von seiner Rückseite her gedünnt wird. Zur Befestigung wird üblicherweise ein Klebstoff verwendet.

Weiterhin ist vorgesehen, daß die Rückseite des Substrats abgeschliffen wird. Das Abschleifen des Substrats hat den Vorteil, daß ein schneller und kostengünstiger Materialabtrag von der Rückseite des Substrats erfolgt.

Ein weiterer vorteilhafter Verfahrensschritt sieht vor, daß die Rückseite des Substrats geätzt wird. Das Ätzen der Substratrückseite wird z.B. nach dem Abschleifen der Substratrückseite durchgeführt, um Substratschädigungen zu beseitigen, die durch das Schleifen entstanden sind.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Nachfolgend wird die Erfindung anhand von Ausführungsbeispielen und Figuren näher erläutert.

5 In den Figuren zeigen:

Figur 1 ein Substrat mit dotierten Schichten, das an einem Montageträger befestigt ist;

10 Figur 2 eine Dotierstoffkonzentration, die über dem Substratquerschnitt aufgezeichnet ist.

In Figur 1 ist ein Substrat 1 dargestellt, das eine erste dotierte Schicht 2 aufweist. Oberhalb der ersten dotierten
15 Schicht 2 ist eine weitere Schicht 3 angeordnet. Oberhalb der weiteren Schicht 3 ist eine zweite dotierte Schicht 4 angeordnet. In diesem Ausführungsbeispiel weist die erste dotierte Schicht 2 eine p-Dotierung und die zweite dotierte Schicht 4 eine n-Dotierung auf. Das Substrat ist in diesem Ausführungsbeispiel aus Silizium gebildet. Auf der zweiten dotierten
20 Schicht 4 ist eine Nuttschicht 5 angeordnet, auf der eine Schaltungselementeschicht 6 gebildet ist. Die Schaltungselementeschicht 6 umfaßt beispielsweise CMOS-Bauelemente, Widerstände und Kondensatoren. An der Schaltungselementeschicht 6
25 ist die Vorderseite 10 des Substrats 1 angeordnet. Die Rückseite 9 ist auf der gegenüberliegenden Seite des Substrats 1 angeordnet. Bei der in Figur 1 dargestellten Anordnung ist die Schaltungselementeschicht 6 mittels einer Klebeschicht 7 mit einem Montageträger 8 verbunden. Der angegebene Schichtstapel ist dabei auf dem unteren Substratteil 15 gebildet.

Eine geeignete erste dotierte Schicht 2 und zweite dotierte Schicht 4 läßt sich z.B. mittels epitaktischer Abscheidung unter Zugabe geeigneter Dotierstoffe aufbringen. Dazu wird
35 auf das Ausgangssubstrat 15 zunächst in einer Epitaxieanlage eine bordotierte Schicht mit einem CVD-Verfahren (chemical vapor deposition) aufgewachsen. Als Precursor (Prozeßgase)

kommen beispielsweise Silan, Dichlorsilan, Trichlorsilan oder Tetrachlorsilan in Betracht, um den Siliziumanteil für das CVD-Verfahren bereitzustellen. Die Abscheidetemperatur liegt dabei zwischen 600°C und 1200°C und der Druck zwischen 1 und 760 Torr. Je nach Dotierung der epitaktisch aufgewachsenen Dotierschicht wird der Dotierstoff ebenfalls in Gasform zugeführt. Für eine Bordotierung wird Diboran, für eine Phosphor-dotierung Phosphin und für eine Arsendotierung Arsin mit dem Trägergas Wasserstoff in die Epitaxieanlage eingeleitet. Damit lassen sich Abscheideraten von mehreren μm pro Minute erzielen.

Bei der epitaktischen Aufschcheidung wird zunächst die erste dotierte Schicht 2 als bordotierte Ätzstoppschicht mit einer Dicke von mindestens 150 nm, bevorzugt jedoch 0,5 bis 2 μm gebildet. Die Dotierung wird zwischen 5×10^{18} bis 5×10^{20} pro cm^3 gebildet. Anschließend wird eine weitere Siliziumschicht 3 abgeschieden. Auf die weitere Siliziumschicht 3 wird eine zweite dotierte Schicht 4 mit n-Dotierstoff abgeschieden. Dazu wird ebenfalls ein epitaktisches CVD-Verfahren, allerdings unter Verwendung von Phosphin bzw. Arsin verwendet. Durch die zweite dotierte Schicht 4 wird die Dotierung der ersten dotierten Schicht 2 teilweise kompensiert. Auf die zweite dotierte Schicht 4 wird anschließend eine Siliziumnutzschicht 5 mit einer Dicke von bis zu 50 μm aufgewachsen. Vorteilhafterweise kann hier eine geringere Dicke bis 15 μm gewählt werden, um die Dicke des gedünnten Wafers klein zu gestalten. In der Nutzschicht 5 wird nun die Schaltungselementeschicht 6 gebildet, indem integrierte Schaltungen wie CMOS-Transistoren, Widerstände und Kondensatoren auf herkömmliche Weise in der Nutzschicht 5 gebildet werden. Nach Fertigstellung der Schaltungselemente in der Schaltungselementeschicht 6 wird der in Figur 1 dargestellte Wafer gedünnt. Dazu wird das Substrat 1 mittels einer Klebeschicht 7 mit einem Montageträger 8 verklebt und durch einen Schleifprozeß auf ca. 50 μm grob gedünnt. Die grobe Dünnung kann durchaus einen dickeren bzw. dünneren Substratrest übrig

- lassen, es ist jedoch darauf zu achten, daß die erste dotierte Schicht 2 nicht vollständig entfernt wird, da sie in diesem Fall nicht mehr als Ätzstopp wirken kann. Als zweiter Dünungsschritt wird nun ein Naßätzprozeß mit KOH oder EDT
- 5 durchgeführt, da dieser Ätzprozeß hochselektiv zu der ersten dotierten Schicht 2 durchgeführt werden kann und auf ihr stoppt. Durch dieses Verfahren kann eine Verkipfung des Substrats 1, die ein schräges Anschleifen des Substrats 1 zur Folge hat, korrigiert werden. Anschließend kann durch einen
- 10 konventionellen Ätzprozeßschritt die erste Dotierschicht 2, die weitere Schicht 3 und die zweite dotierte Schicht 4 entfernt werden, um spätere unerwünschte Diffusion von Dotierstoffen beim Betrieb der Schaltung zu vermeiden.
- 15 Alternativ kann die dotierte Schicht 2 im Wafer durch eine Implantation von Dotierstoffatomen erreicht werden. Dazu kann beispielsweise eine Implantationsenergie von 2,5 MeV verwendet werden, so daß das Maximum der Dotierstoffkonzentration von Bor in einer Tiefe von ca. 3,5 μm unter der Siliziumober-
- 20 fläche 10 liegt. Mit diesem Verfahren können beispielsweise extrem dünne Substrate hergestellt werden. Dazu wird das Substrat zunächst mit einer Bordotierstoffimplantation mit einer Implantationsenergie von 2,5 MeV und einer Dotierstoffkonzentration von 10^{20} Boratomen pro cm^3 implantiert. Direkt an der
- 25 Substratoberfläche 10 ist die Borkonzentration um ca. vier Größenordnungen geringer und stört damit den normalen Fertigungsprozeß der Schaltungselementeschicht 6 nicht. Gegebenenfalls kann eine Wannenimplantation durchgeführt werden, um die Bauelemente der Schaltungselementeschicht 6 an die ver-
- 30 grabene erste dotierte Schicht 2 anzupassen, die mit Bor dotiert ist.

Alternativ kann eine Ätzstoppschicht auch durch Implantation von Germanium-, Stickstoff- oder Kohlenstoffatomen erreicht

35 werden.

Die hochdosierte Borimplantation verursacht Verspannungen im Kristallgitter, die zu Störungen im Wachstum der epitaktisch aufgewachsenen, nachfolgenden Siliziumschicht führen können. Dies liegt daran, daß der Atomradius von Bor kleiner ist als
5 der von Silizium. Die Verspannungen im Kristallgitter können vermieden werden, indem gleichzeitig Germaniumatome, die einen größeren Atomradius als Silizium aufweisen, in das Kristallgitter eingebaut werden. Germanium verhält sich elektrisch neutral und stört damit nicht die Funktion der ersten
10 dotierten Schicht 2 als Ätzstopp, kompensiert allerdings die mechanischen Verspannungen.

Wird auf dem Substrat 1 eine Maske aus einer Oxidschicht angeordnet, die die Substratoberfläche teilweise bedeckt und
15 teilweise freilegt, kann die Implantation der ersten dotierten Schicht 2 durch die Maske erfolgen. Dadurch wird die erste dotierte Schicht 2 strukturiert ausgebildet und das Dünnen der Waferrückseite kann gleichzeitig zur Strukturierung des zu dünnenden Wafers verwendet werden. Z.B. kann der Waferrand abgetragen werden, um Beschädigungen der dünnen Chips
20 in nachfolgenden Prozessen, z.B. durch Transport in Wafer-Boxen und durch Wafer-Handler bzw. Klemmvorrichtungen in Prozeßkammern zu vermeiden. Werden die Bereiche des Wafers, an denen der Wafer später durch Sägeprozesse in einzelne Chips
25 zersägt wird, von der Implantation ausgenommen, wird durch den Ätzprozeß, der die Dünnung der Wafer durchführt, gleichzeitig eine Vereinzelung der Chips erreicht. Dadurch wird beispielsweise eine Schädigung beim späteren Zersägen des Wafers vermieden.

30 Eine strukturierte Dotierung der ersten dotierten Schicht 2 kann auch bei epitaktischer Abscheidung erreicht werden, indem auf dem Substrat zunächst eine dünne Oxidschicht abgeschieden und mit Fotolithographie strukturiert wird. Auf den
35 offenen Flächen, an denen das Silizium freiliegt, kann selektiv eine hoch-bordotierte Siliziumschicht gewachsen werden. Dabei wächst bei der selektiven Epitaxie auf der dünnen Oxid-

schicht keine dotierte Siliziumschicht. Nach Entfernen der Oxidmaske kann ganzflächig epitaktisch Silizium bis zur gewünschten Zieldicke gewachsen werden.

- 5 Mit Bezug auf Figur 2 ist ein Graph mit einer ersten Achse 13 dargestellt, die die Dotierstoffkonzentration angibt, und einer zweiten Achse 14, die in die Substrattiefe weist. Weiterhin ist die Vorderseite 10 des Substrats 1 eingezeichnet und entlang der Achse 14, die in die Substrattiefe verläuft, das
- 10 Dotierprofil der ersten ausdiffundierten Dotierschicht 11 und der zweiten ausdiffundierten Dotierschicht 12 dargestellt. Die erste dotierte Schicht 2 aus Figur 1 und die zweite dotierte Schicht 4 aus Figur 1 verlaufen durch einen Temperaturschritt zu den in Figur 2 dargestellten Dotierprofilen
- 15 (11, 12). Nahe der Substratoberfläche 10 kompensiert dabei die zweite ausdiffundierte Dotierschicht 12 den elektrischen Effekt der ersten ausdiffundierten Dotierschicht 11.

Bezugszeichenliste

- | | | |
|----|----|--------------------------------------|
| | 1 | Halbleitersubstrat |
| | 2 | Erste dotierte Schicht |
| 5 | 3 | weitere Schicht |
| | 4 | Zweite dotierte Schicht |
| | 5 | Nutzschicht |
| | 6 | Schaltungselementeschicht |
| | 7 | Klebeschicht |
| 10 | 8 | Montageträger |
| | 9 | Rückseite |
| | 10 | Vorderseite |
| | 11 | Erste ausdiffundierte Dotierschicht |
| | 12 | Zweite ausdiffundierte Dotierschicht |
| 15 | 13 | Dotierstoffkonzentration |
| | 14 | Substrattiefe |
| | 15 | Unterer Substratbereich |

Patentansprüche

1. Verfahren zum Dünnen eines Substrats mit den Schritten:
 - Bereitstellen eines Substrats (1) mit einer Vorderseite
5 (10) und einer Rückseite (9);
 - Bilden einer Nuttschicht auf der Vorderseite (10) des Substrats (1);
 - epitaktisches Aufwachsen einer ersten dotierten Schicht (2) auf der Vorderseite (10) des Substrats (1);
 - 10 - naßschemisches Ätzen des Substrates (1), wobei das Substrat (1) von der Rückseite (9) gedünnt wird und die erste dotierte Schicht (2) als Ätzstopp verwendet wird.
2. Verfahren nach Anspruch 1,
15 d a d u r c h g e k e n n z e i c h n e t, daß eine weitere Schicht (3) epitaktisch auf die erste dotierte Schicht (2) aufgewachsen wird.
3. Verfahren nach Anspruch 1,
20 d a d u r c h g e k e n n z e i c h n e t, daß die erste dotierte Schicht (2) durch Implantation von Dotierstoff in dem Substrat (1) gebildet wird.
4. Verfahren nach einem der Ansprüche 1 bis 3,
25 d a d u r c h g e k e n n z e i c h n e t, daß eine zweite dotierte Schicht (4) zwischen der Vorderseite (10) des Substrats (1) und der ersten dotierten Schicht (2) gebildet wird, wobei die zweite dotierte Schicht (4) mit einem zweiten Dotierstofftyp dotiert ist, der dem ersten Dotierstofftyp der ersten dotierten Schicht (2) entgegengesetzt
30 ist.
5. Verfahren nach einem der Ansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t, daß
35 die zweite dotierte Schicht (4) als eine Gegendotierung für die erste dotierte Schicht (2) gebildet wird.

6. Verfahren nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, daß
eine Maske auf der Vorderseite (10) des Substrats (1) gebil-
det wird und als Implantationsmaske für die Bildung der er-
sten dotierten Schicht (2) verwendet wird, so daß die erste
dotierte Schicht (2) strukturiert ausgebildet wird.
7. Verfahren nach Anspruch 6,
dadurch gekennzeichnet, daß
die Rückseite (9) des Substrats (1) geätzt wird, wobei die
strukturierte dotierte Schicht als Ätzmaske verwendet wird
und dadurch auf dem Substrat (1) angeordnete Chips voneinan-
der separiert werden.
8. Verfahren nach Anspruch 6 oder 7,
dadurch gekennzeichnet, daß
die Rückseite (9) des Substrats (1) geätzt wird, wobei die
strukturierte dotierte Schicht als Ätzmaske verwendet wird
und dadurch der Rand des Substrats (1) entfernt wird.
9. Verfahren nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, daß
die erste dotierte Schicht (2) mit Bor p-dotiert wird.
10. Verfahren nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
die erste dotierte Schicht (2) mit Germanium dotiert wird.
11. Verfahren nach einem der Ansprüche 1 bis 10,
dadurch gekennzeichnet, daß
die erste dotierte Schicht (2) mit Stickstoff dotiert wird.
12. Verfahren nach einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet, daß
die erste dotierte Schicht (2) mit Kohlenstoff dotiert wird.

13. Verfahren nach einem der Ansprüche 1 bis 12,
dadurch gekennzeichnet, daß
auf der Vorderseite (10) des Substrats (1) eine Schaltung ge-
bildet wird.

5

14. Verfahren nach einem der Ansprüche 1 bis 13,
dadurch gekennzeichnet, daß
das Substrat mit seiner Vorderseite (10) an einem Montageträ-
ger (8) befestigt wird.

10

15. Verfahren nach einem der Ansprüche 1 bis 14,
dadurch gekennzeichnet, daß
die Rückseite (9) des Substrats (1) abgeschliffen wird.

15

16. Verfahren nach einem der Ansprüche 1 bis 15,
dadurch gekennzeichnet, daß
die Rückseite (9) des Substrats (1) geätzt wird.

1/1

FIG 1

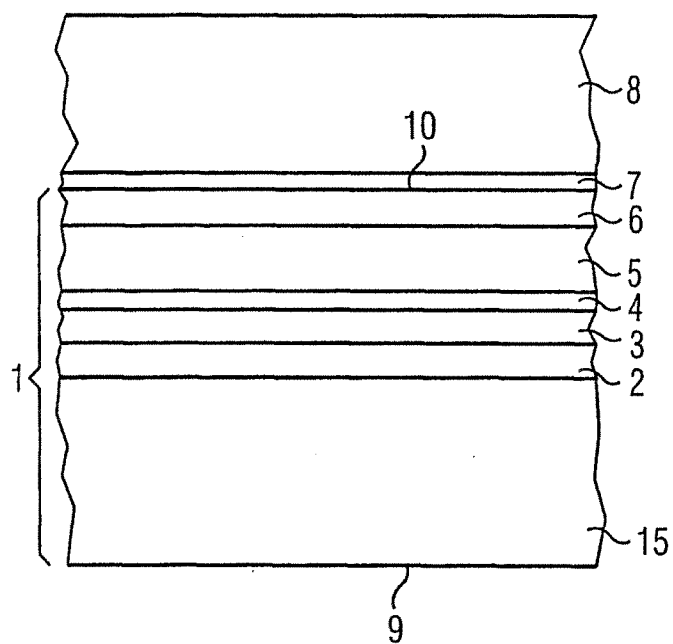
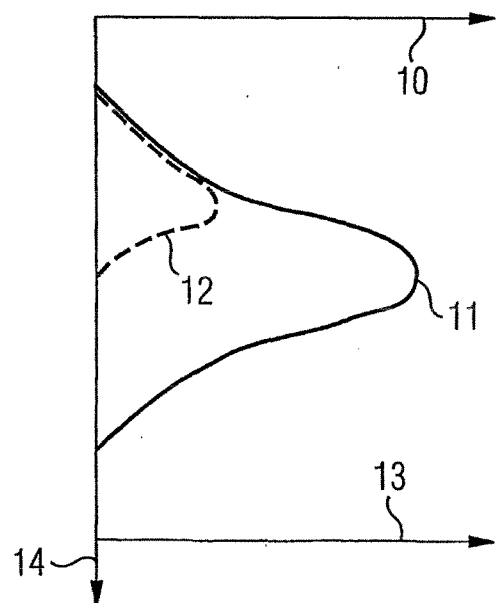


FIG 2



INTERNATIONAL SEARCH REPORT

Inte al Application No

PCT/EP 01/03846

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/822 H01L21/306

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 880 010 A (DAVIDSON HOWARD L) 9 March 1999 (1999-03-09) figures 9-12 column 5, line 51 -column 6, line 12 ---	1,2, 13-16
A	FEIJOO D ET AL: "ETCH STOP BARRIERS IN SILICON PRODUCED BY ION IMPLANTATION OF ELECTRICALLY NON-ACTIVE SPECIES" JOURNAL OF THE ELECTROCHEMICAL SOCIETY,US,ELECTROCHEMICAL SOCIETY. MANCHESTER, NEW HAMPSHIRE, vol. 139, no. 8, 1 August 1992 (1992-08-01), pages 2309-2314, XP000360681 ISSN: 0013-4651 the whole document --- -/--	1-16



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

30 August 2001

Date of mailing of the international search report

06/09/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Le Meur, M-A

INTERNATIONAL SEARCH REPORT

In Application No

PCT/EP 01/03846

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 601 779 A (ABERNATHEY JOHN R ET AL) 22 July 1986 (1986-07-22) abstract column 4, line 5 - line 12 column 6, line 11 - line 19 ----	1-16
A	US 5 024 723 A (GOESELE ULRICH M ET AL) 18 June 1991 (1991-06-18) abstract column 2, line 20 - line 23 ----	3,12, 14-16
A	EP 0 339 912 A (XEROX CORP) 2 November 1989 (1989-11-02) claims 3-6; figure 5 -----	7

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inter-
if Application No
PCT/EP 01/03846

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5880010 A	09-03-1999	US 6166438 A	26-12-2000
US 4601779 A	22-07-1986	CA 1218762 A	03-03-1987
		DE 3686453 A	24-09-1992
		DE 3686453 T	18-03-1993
		EP 0207272 A	07-01-1987
		JP 8034174 B	29-03-1996
		JP 61296709 A	27-12-1986
US 5024723 A	18-06-1991	NONE	
EP 0339912 A	02-11-1989	US 4822755 A	18-04-1989
		DE 68918982 D	01-12-1994
		DE 68918982 T	27-04-1995
		JP 1313956 A	19-12-1989
		JP 1826118 C	28-02-1994
		JP 5032905 B	18-05-1993

INTERNATIONALER RECHERCHENBERICHT

Int. Aktenzeichen

PCT/EP 01/03846

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L21/822 H01L21/306

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 880 010 A (DAVIDSON HOWARD L) 9. März 1999 (1999-03-09) Abbildungen 9-12 Spalte 5, Zeile 51 -Spalte 6, Zeile 12 ---	1,2, 13-16
A	FEIJOO D ET AL: "ETCH STOP BARRIERS IN SILICON PRODUCED BY ION IMPLANTATION OF ELECTRICALLY NON-ACTIVE SPECIES" JOURNAL OF THE ELECTROCHEMICAL SOCIETY,US,ELECTROCHEMICAL SOCIETY. MANCHESTER, NEW HAMPSHIRE, Bd. 139, Nr. 8, 1. August 1992 (1992-08-01), Seiten 2309-2314, XP000360681 ISSN: 0013-4651 das ganze Dokument --- -/--	1-16

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

30. August 2001

Absendedatum des internationalen Recherchenberichts

06/09/2001

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Le Meur, M-A

INTERNATIONALER RECHERCHENBERICHT

Inl — Aktenzeichen
PCT/EP 01/03846

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 4 601 779 A (ABERNATHEY JOHN R ET AL) 22. Juli 1986 (1986-07-22) Zusammenfassung Spalte 4, Zeile 5 - Zeile 12 Spalte 6, Zeile 11 - Zeile 19 -----	1-16
A	US 5 024 723 A (GOESELE ULRICH M ET AL) 18. Juni 1991 (1991-06-18) Zusammenfassung Spalte 2, Zeile 20 - Zeile 23 -----	3,12, 14-16
A	EP 0 339 912 A (XEROX CORP) 2. November 1989 (1989-11-02) Ansprüche 3-6; Abbildung 5 -----	7

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Inte Aktenzeichen

PCT/EP 01/03846

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5880010 A	09-03-1999	US 6166438 A	26-12-2000
US 4601779 A	22-07-1986	CA 1218762 A	03-03-1987
		DE 3686453 A	24-09-1992
		DE 3686453 T	18-03-1993
		EP 0207272 A	07-01-1987
		JP 8034174 B	29-03-1996
		JP 61296709 A	27-12-1986
US 5024723 A	18-06-1991	KEINE	
EP 0339912 A	02-11-1989	US 4822755 A	18-04-1989
		DE 68918982 D	01-12-1994
		DE 68918982 T	27-04-1995
		JP 1313956 A	19-12-1989
		JP 1826118 C	28-02-1994
		JP 5032905 B	18-05-1993